

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat
(c) 2004 EPO. All rts. reserv.

10383544

Basic Patent (No,Kind,Date): JP 4051604 A2 920220 <No. of Patents: 001>

HYBRID INTEGRATED CIRCUIT (English)

Patent Assignee: NIPPON ELECTRIC CO

Author (Inventor): MATSUMURA FUMIYOSHI

IPC: *H03B-005/32; H01L-027/01; H05K-001/16

Derwent WPI Acc No: G 92-109759

JAPIO Reference No: 160246E000050

Language of Document: Japanese

Patent Family:

Patent No.	Kind	Date	Applic No	Kind	Date
JP 4051604	A2	920220	JP 90160171	A	900619 (BASIC)

Priority Data (No,Kind,Date):

JP 90160171 A 900619

?

Patent Abstracts of Japan

PUBLICATION NUMBER : 04051604
PUBLICATION DATE : 20-02-92

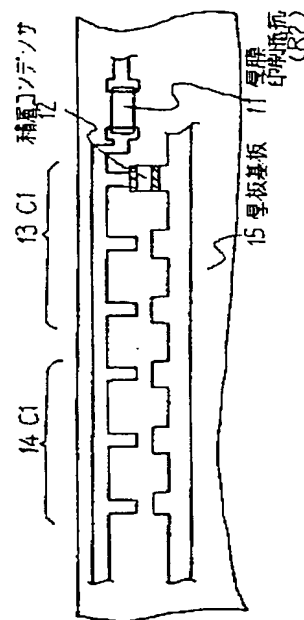
APPLICATION DATE : 19-06-90
APPLICATION NUMBER : 02160171

APPLICANT : NEC CORP;

INVENTOR : MATSUMURA FUMIYOSHI;

INT.CL. : H03B 5/32 H01L 27/01 H05K 1/16

TITLE : HYBRID INTEGRATED CIRCUIT



ABSTRACT : PURPOSE: To stabilize oscillation by adjusting the electrode areas of a film resistance and film capacitances, both of which constitute a feedback circuit deciding the oscillation frequency of crystal oscillator by means of laser trimming technology.

CONSTITUTION: The resistance (R2) and the capacitance (C1) 13 and 14 for forming the feedback circuit of the oscillator on a circuit substrate 15 are provided for the hybrid integrated circuit. Thus, the resistance 11 and the capacitances 13 and 14 formed on the substrate 15 are adjusted by laser trimming in addition to amplifier and the crystal resonator for oscillation. The capacitances C1 are provided by dividing them into the capacitance parts of 13 and 14 formed on alumina ceramics 5. An electrode terminal is cut by laser trimming for adjusting the frequency. Then, the resistance R2 is the thin film resistance 1 and the adjustment can be executed by laser trimming. Thus, a more stable oscillation characteristic can be obtained.

COPYRIGHT: (C)1992,JPO&Japio

2の実施例の断面模式図及び平面模式図である。

C1及びC2をアルミナセラミック5の上に形成された3、4及び13、14の各3ヶの容量部分に分けて設けてあり、周波数調整にあたってはその電極端子をレーザトリミングにより切断する。

また、R2は薄膜抵抗1であるが、その調整は抵抗部分をレーザトリミングにより行うことができる。

第3図は本発明を適用する発振回路の回路図である。ここでAは反転増幅器、Xは水晶発振器、C1、C2は安定化のための容量、R1は発振用帰還抵抗、R2は安定化のための抵抗である。

本回路でR2、C1、C2は本発明を応用したものであり従来、調整用として外部に付加されていた素子を混成集積回路内部に有しているので使用者は周波数を無調整でよい。

なお、第1の実施例のアルミナセラミック基板に替えて有機材料(例えばガラスエポキシ基板)によっても実現することができる。

(発明の効果)

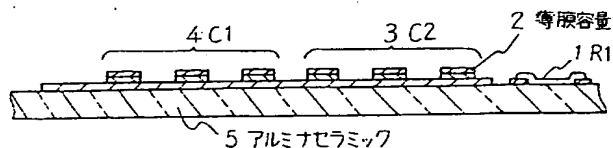
以上説明したように本発明は、発振を安定にするための素子を混成集積回路内に備え、トリミングにより調整することにより無調整の水晶発振器を作ることが出来る。

図面の簡単な説明

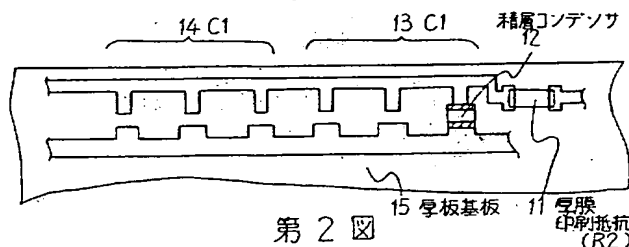
第1図は本発明の第1の実施例の薄膜基板の断面模式図、第2図は本発明の第2の実施例の厚膜基板の平面模式図、第3図は本発明を適用した水晶発振器の回路図である。

1…安定化薄膜抵抗、2～4…安定化薄膜容量、5…薄膜基板(アルミナセラミック)、11…厚膜印刷抵抗、12～14…積層コンデンサ。

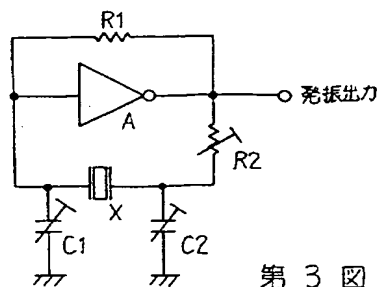
代理人 弁理士 内 原 晋



第1図



第2図



第3図

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-51604

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)2月20日

H 03 B 5/32
H 01 L 27/01
H 05 K 1/16

3 2 1

C

8321-5 J
7514-4 M
8727-4 E

審査請求 未請求 請求項の数 1 (全2頁)

⑮ 発明の名称 混成集積回路

⑯ 特 願 平2-160171

⑰ 出 願 平2(1990)6月19日

⑱ 発 明 者 松 村 文 好 東京都港区芝5丁目7番1号 日本電気株式会社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

混成集積回路

特許請求の範囲

水晶発振器の発振周波数を決定する帰還回路を構成する膜抵抗及び膜容量の電極面積をレーザトリミング技術により調整することを特徴とする混成集積回路。

発明の詳細な説明

〔産業上の利用分野〕

本発明は混成集積回路に関し、特に水晶発振回路に関する。

〔従来の技術〕

従来、この種の技術は、水晶発振器の回路技術として、個別の抵抗・コンデンサのチップなどを発振帰還回路を構成するために外部に付加して、発振周波数などの調整を行っていた。

〔発明が解決しようとする課題〕

上述した従来の発振回路では、発振の安定化を図るための素子を外部に付加する構造となっており、帰還の配線が長くなること及び素子を交換して最適値を求めることなど、特性の不安定及び素子を交換することのわずらわしさ等の欠点がある。

このことは、発振器を無調整で用いたい場合には、特性の確認等を全て行わなければならない、非常に大きな不具合となる。

〔課題を解決するための手段〕

本発明の混成集積回路は、発振器の帰還回路を、あらかじめ回路基板上に形成しておくための抵抗と容量を有している。

このために、発振のための増幅器と水晶振動子に加えて、基板上に形成された抵抗、容量をレーザトリミングにより調整することにより安定な発振特性を得ることが出来る。

〔実施例〕

第1図及び第2図はそれぞれ本発明の第1、第